

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-294752  
(P2000-294752A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L	27/108	H 0 1 L 27/10	6 2 1 C 5 F 0 3 8
	21/8242	27/04	C 5 F 0 8 3
	27/04	27/10	6 5 1
	21/822		

審査請求 有 請求項の数18 O L (全 15 頁)

(21) 出願番号 特願平11-115538

(22) 出願日 平成11年4月22日 (1999. 4. 22)

(31) 優先権主張番号 特願平11-26140

(32) 優先日 平成11年2月3日 (1999. 2. 3)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 小柳 賢一

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72) 発明者 山口 弘

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74) 代理人 100099830

弁理士 西村 征生

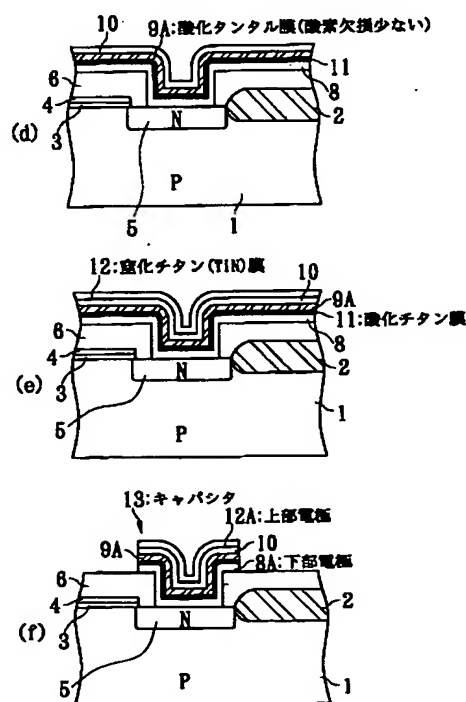
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及びキャパシタの製造方法

(57) 【要約】

【課題】 薄膜成膜工程を簡単にして、下部電極が酸化されて低誘電率膜が形成されるのを抑制する。

【解決手段】 開示されている半導体装置の製造方法は、窒化チタン膜8からなる下部電極膜上に酸素欠損のある第1酸化タンタル ( $Ta_2O_x$ ,  $X \leq 4$ ) 膜9及び酸素欠損の少ない第2酸化タンタル ( $Ta_2O_5$ ) 膜10を順次に成膜した後、酸化性雰囲気中で熱処理して、第1酸化タンタル膜9を酸素欠損の少ない酸化タンタル ( $Ta_2O_5$ ) 膜9Aに変質させて、この酸化タンタル膜9Aを下部電極に対する酸化抑制膜として機能させる。



## 【特許請求の範囲】

【請求項1】 半導体基板の一つの拡散領域に接続されるように形成されるキャパシタを備えた半導体装置の製造方法であって、

第1導電型半導体基板に選択的に第2導電型拡散領域を形成する拡散領域形成工程と、

前記拡散領域に接続されるように前記キャパシタを構成する下部電極を形成する下部電極形成工程と、

前記下部電極上に前記キャパシタを構成する容量絶縁膜を複数の段階で順次に成膜する容量絶縁膜成膜工程と、  
前記半導体基板を酸化性雰囲気中で熱処理する半導体基板熱処理工程と、

前記容量絶縁膜上に前記キャパシタを構成する上部電極を形成する上部電極形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記容量絶縁膜成膜工程は、前記下部電極上に酸素欠損のある第1絶縁膜を成膜する第1成膜工程と、前記第1絶縁膜上に酸素欠損の少ない第2絶縁膜を成膜する第2成膜工程とからなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第1成膜工程と前記第2成膜工程とを交互にわたって繰り返すことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 前記半導体基板熱処理工程において、前記第1絶縁膜の少なくとも一部分を酸素欠損の少ない絶縁膜に変質させて、該絶縁膜を前記下部電極に対する酸化抑制膜として機能させることを特徴とする請求項2又は3記載の半導体装置の製造方法。

【請求項5】 半導体基板の一つの拡散領域に接続されるように形成されるキャパシタを備えた半導体装置の製造方法であって、

第1導電型半導体基板に選択的に第2導電型拡散領域を形成する拡散領域形成工程と、

前記拡散領域に接続されるように前記キャパシタを構成する下部電極を形成する下部電極形成工程と、

前記下部電極上に前記キャパシタを構成する酸素欠損のある絶縁膜からなる容量絶縁膜を成膜する容量絶縁膜成膜工程と、

前記半導体基板を酸化性雰囲気中で熱処理する半導体基板熱処理工程と、

前記容量絶縁膜上に前記キャパシタを構成する上部電極を形成する上部電極形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 前記半導体基板熱処理工程において、前記絶縁膜の一部分を酸素欠損の少ない絶縁膜に変質させて、該絶縁膜を前記下部電極に対する酸化抑制膜として機能させることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記容量絶縁膜として、金属酸化膜を用いることを特徴とする請求項1乃至6のいずれか1に記

載の半導体装置の製造方法。

【請求項8】 前記金属酸化膜として、酸化タンタルを用いることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 前記下部電極及び上部電極として、窒化チタン、多結晶シリコン、タングステン又は窒化タングステンを用いることを特徴とする請求項1乃至8のいずれか1に記載の半導体装置の製造方法。

【請求項10】 半導体基板上にキャパシタを製造するキャパシタの製造方法であって、  
半導体基板上に前記キャパシタを構成する下部電極を形成する下部電極形成工程と、

前記下部電極上に前記キャパシタを構成する容量絶縁膜を複数の段階で順次に成膜する容量絶縁膜成膜工程と、  
前記半導体基板を酸化性雰囲気中で熱処理する半導体基板熱処理工程と、

前記容量絶縁膜上に前記キャパシタを構成する上部電極を形成する上部電極形成工程とを含むことを特徴とするキャパシタの製造方法。

【請求項11】 前記容量絶縁膜成膜工程は、前記下部電極上に酸素欠損のある第1絶縁膜を成膜する第1成膜工程と、前記第1絶縁膜上に酸素欠損の少ない第2絶縁膜を成膜する第2成膜工程とからなることを特徴とする請求項10記載のキャパシタの製造方法。

【請求項12】 前記第1成膜工程と前記第2成膜工程とを交互にわたって繰り返すことを特徴とする請求項11記載のキャパシタの製造方法。

【請求項13】 前記半導体基板熱処理工程において、前記第1絶縁膜の少なくとも一部分を酸素欠損の少ない絶縁膜に変質させて、該絶縁膜を前記下部電極に対する酸化抑制膜として機能させることを特徴とする請求項11又は12記載のキャパシタの製造方法。

【請求項14】 半導体基板上にキャパシタを製造するキャパシタの製造方法であって、  
半導体基板上に前記キャパシタを構成する下部電極を形成する下部電極形成工程と、

前記下部電極上に前記キャパシタを構成する酸素欠損のある絶縁膜からなる容量絶縁膜を成膜する容量絶縁膜成膜工程と、

前記半導体基板を酸化性雰囲気中で熱処理する半導体基板熱処理工程と、

前記容量絶縁膜上に前記キャパシタを構成する上部電極を形成する上部電極形成工程とを含むことを特徴とするキャパシタの製造方法。

【請求項15】 前記半導体基板熱処理工程において、前記絶縁膜の一部分を酸素欠損の少ない絶縁膜に変質させて、該絶縁膜を前記下部電極に対する酸化抑制膜として機能させることを特徴とする請求項14記載のキャパシタの製造方法。

【請求項16】 前記容量絶縁膜として、金属酸化膜を

用いることを特徴とする請求項10乃至15のいずれか1に記載のキャパシタの製造方法。

【請求項17】 前記金属酸化膜として、酸化タンタルを用いることを特徴とする請求項16記載のキャパシタの製造方法。

【請求項18】 前記下部電極及び上部電極として、窒化チタン、多結晶シリコン、タングステン又は窒化タングステンを有することを特徴とする請求項10乃至17のいずれか1に記載のキャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法及びキャパシタの製造方法に係り、詳しくは、キャパシタを構成する下部電極の酸化を抑制する半導体装置の製造方法及びキャパシタの製造方法に関する。

【0002】

【従来の技術】半導体装置の代表として知られているLSI（大規模集積回路）は、メモリ製品とロジック製品とに大別されるが、最近の半導体製造技術の進歩につれて、特に前者における発展がめざましい。また、メモリ製品は、DRAM(Dynamic Random Access Memory)と、SRAM(Static Random Access Memory)とに分類されるが、これらのメモリ製品はほとんどが、集積度の点で優れているMOS(Metal Oxide Semiconductor)トランジスタによって構成されている。また、DRAMはSRAMに比較して上述したような高集積化の利点をより大きく生かせるため、コストダウンが図れるので、情報機器などの各種の記憶装置に広く適用されている。

【0003】DRAMはキャパシタを情報記憶用容量素子として利用して、その電荷の有無により情報を記憶するので、記憶情報の大容量化に伴って半導体基板上に形成される個々のキャパシタの占有面積は制約されてくる。したがって、それぞれのキャパシタのキャパシタンス（容量）を増加させる工夫が必要になる。もしキャパシタの容量が情報を記憶するのに十分な値を有していないと、外部からのノイズ信号などにより容易に誤動作するようになるので、ソフトエラーで代表されるようなエラーが生じ易くなる。

【0004】上述のキャパシタの容量を増加させるには、容量絶縁膜として誘電率の大きい絶縁材料を用いる必要があり、従来から、高誘電率絶縁材料の代表として金属酸化膜の一種である酸化タンタル( $Ta_2O_5$ )膜が広く用いられている。この酸化タンタル膜は、容量絶縁膜として従来から用いられているシリコン酸化膜( $SiO_2$ )と比べて略10倍の大きさの誘電率を有し、また同様に従来から用いられているシリコン窒化膜( $Si_3N_4$ )と比べて略4倍の大きさの誘電率(2.5~3.0)を有している。したがって、酸化タンタル膜を容量絶縁膜として用いてキャパシタを構成することにより、高容量化を図ることができるようになる。

【0005】図16(a)~(c)及び図17(d)、(e)は、上述のような酸化タンタル膜を容量絶縁膜として用いるキャパシタを備えた従来の半導体装置の製造方法を工程順に示す工程図である。以下、同図を参照して、同半導体装置の製造方法について工程順に説明する。まず、図16(a)に示すように、例えばP型シリコン基板51に、周知のLOCOS(Local Oxidation of Silicon)法によりシリコン酸化膜からなる素子分離用絶縁膜52を形成した後、この素子分離用絶縁膜52により囲まれた活性領域にシリコン酸化膜、多結晶シリコン膜を順次に形成し、これらシリコン酸化膜及び多結晶シリコン膜を所望の形状にパターニングしてゲート酸化膜53及びゲート電極(ワードライン)54を形成する。次に、ゲート酸化膜53及びゲート電極54をマスクとするセルフアラインにより、イオン注入法などの周知の不純物導入方法によりN型不純物をシリコン基板51に導入して、ソース領域又はドレイン領域を構成するN型拡散領域55を選択的に形成した後、全面にシリコン酸化膜などからなる層間絶縁膜56を形成する。

【0006】次に、図16(b)に示すように、フォトリソグラフィ法によりN型拡散領域55の表面の層間絶縁膜56にコンタクトホール57を形成した後、スパッタ法により、全面に下部電極膜となる窒化チタン膜(TiN)膜58を成膜する。次に、図16(c)に示すように、CVD(Cheical Vapor Deposition)法により、酸素を含む雰囲気中で窒化チタン膜58上に容量絶縁膜となる酸化タンタル膜59を成膜する。

【0007】図20は、上述の酸化タンタル膜59を成膜するための成膜シーケンスを示す図である。CVD装置の反応炉内にシリコン基板51を収容した後、時刻t1においてソースガスであるタンタルペンタエトキシ( $Ta(OC_2H_5)_5$ )ガス及び酸素ガスを同時に反応炉内に供給して、酸化タンタル膜59の成膜を開始する。そして、所定の時間T成膜処理したら、時刻t0においてタンタルペンタエトキシガス及び酸素ガスの供給を停止する。

【0008】次に、シリコン基板51を、UV(Ultra-Violet)- $O_3$ (オゾン雰囲気中で紫外線照射による低温酸化)の酸化性雰囲気中で熱処理(アニール処理)して、酸化タンタル膜59の酸化を行うことにより、酸化タンタル膜59が容量絶縁膜として十分な役割を担うように膜質の改善を行う。

【0009】次に、図17(d)に示すように、CVD法により、酸化タンタル膜59上に上部電極膜となる窒化チタン膜60を成膜する。次に、図17(e)に示すように、フォトリソグラフィ法により、窒化チタン膜58、酸化タンタル膜59及び窒化チタン膜60をパターニングすることにより、下部電極58Aと上部電極60Aとの間に容量絶縁膜として酸化タンタル膜59が介在されて構成されたキャパシタ61を完成させる。

【0010】ところで、上述の半導体装置の製造方法では、酸化タンタル膜59の成膜時及びシリコン基板51の熱処理時に、雰囲気中の酸素が下部電極58Aとなる窒化チタン膜58と反応して、下部電極58Aが略全膜厚にわたって酸化されてしまう現象が生ずる。すなわち、図17(e)に示すように、下部電極58Aは、酸化チタン膜58Bに変換されてしまう。そして、この酸化チタン膜58Bは低誘電率膜として働いてしまうという不都合が生ずる。このように、低誘電率膜が形成されると、この低誘電率膜(酸化チタン膜58B)は容量絶縁膜である酸化タンタル膜59と直列に接続されるので、キャパシタ61の総容量は低誘電率膜の影響を受けて、酸化タンタル膜59単体のときの容量よりも低下してしまうことになる。

【0011】図8は、窒化チタン膜からなる下部電極のシート抵抗 $\rho_s$ を示すもので、上述したように表面に酸化チタン膜のような低誘電率膜が形成されたことにより、その値は(A)で示したように相対的に高くなる。したがって、下部電極として望ましくなくなる。また、図9は、窒化チタン膜からなる下部電極上に容量絶縁膜として酸化タンタル膜を用いて構成されたキャパシタのシリコン酸化膜換算膜厚 $t_{eq}$ を示すもので、上述したように下部電極の表面に低誘電率膜が形成された場合、その値は(A)で示したように相対的に大きくなる。シリコン酸化膜換算膜厚 $t_{eq}$ は、所定の容量を得るために必要な容量絶縁膜の膜厚の目安を示しており、小さくなるほど優れていることを示している。

【0012】キャパシタンスの下部電極が酸化されて低誘電率膜が形成されるのを抑制するようにした半導体装置の製造方法が、例えば特開平9-246494号公報に開示されている。以下、図18(a)~(c)及び図19(d)、(e)を参照して、同半導体装置の製造方法について、工程順に説明する。まず、図18(a)に示すように、素子分離用絶縁膜62により囲まれた活性領域にゲート酸化膜63及びゲート電極(ワードライン)64を形成し、ソース領域又はドレイン領域を構成するN型拡散領域65を選択的に形成した後、全面にシリコン酸化膜などからなる層間絶縁膜66を形成したP型シリコン基板61を用意する。次に、フォトリソグラフィ法によりN型拡散領域65の表面の層間絶縁膜66にコンタクトホール67を形成した後、CVD法により、全面に多結晶シリコンプラグ膜68を成膜する。

【0013】次に、図18(b)に示すように、CVD法により、全面に下部電極の主電極となる多結晶シリコン膜69を成膜する。次に、図18(c)に示すように、スパッタ法により、チタンシリサイド膜70を成膜し、続いて反応性スパッタ法により窒化タンタル膜71を成膜する。次に、図19(d)に示すように、フォトリソグラフィ法により、多結晶シリコンプラグ膜68、多結晶シリコン膜69、チタンシリサイド膜70及び窒

化タンタル膜71をパターニングすることにより、多結晶シリコンプラグ68A上に順次に積層された多結晶シリコン膜69、チタンシリサイド膜70及び窒化タンタル膜71からなる下部電極73を形成する。

【0014】次に、CVD法により、下部電極73上に容量絶縁膜としての酸化タンタル膜74を成膜した後、図19(e)に示すように、酸化タンタル膜74をパターニングして不要部を除去し、次にCVD法により、タングステンなどからなる上部電極75を形成してキャパシタンス76を完成させる。上述したような、半導体装置の製造方法によれば、下部電極73の一部としての窒化タンタル膜71を成膜した後、容量絶縁膜としての酸化タンタル膜74を成膜するので、この酸化タンタル膜74の成膜時に窒化タンタル膜71が酸化抑制膜として働くので、下部電極73が酸化されるのを抑制することができる。したがって、下部電極に低誘電率膜が形成されるのを抑制することができる。

#### 【0015】

【発明が解決しようとする課題】ところで、上記公報記載の従来の半導体装置の製造方法では、下部電極を複数種類の薄膜材料から構成してこの下部電極の一部を酸化抑制膜として用いているので、薄膜成膜工程が複雑になる、という問題がある。すなわち、上記公報では、多結晶シリコン膜69、チタンシリサイド膜70及び窒化タンタル膜71の三種類の薄膜を順次に成膜した積層体によって下部電極73を構成し、この下部電極73の最上膜である窒化タンタル膜71を酸化抑制膜として用いるようにしているが、下部電極73の形成に上述の三種類の薄膜成膜工程を必要としている。

【0016】この発明は、上述の事情に鑑みてなされたもので、薄膜成膜工程を簡単にして、下部電極が酸化されて低誘電率膜が形成されるのを抑制することができるようにした半導体装置の製造方法及びキャパシタの製造方法を提供することを目的としている。

#### 【0017】上記

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、半導体基板の一つの拡散領域に接続されるように形成されるキャパシタを備えた半導体装置の製造方法に係り、第1導電型半導体基板に選択的に第2導電型拡散領域を形成する拡散領域形成工程と、上記拡散領域に接続されるように上記キャパシタを構成する下部電極を形成する下部電極形成工程と、上記下部電極上に上記キャパシタを構成する容量絶縁膜を複数の段階で順次に成膜する容量絶縁膜成膜工程と、上記半導体基板を酸化性雰囲気中で熱処理する半導体基板熱処理工程と、上記容量絶縁膜上に上記キャパシタを構成する上部電極を形成する上部電極形成工程とを含むことを特徴としている。

【0018】請求項2記載の発明は、請求項1記載の半導体装置の製造方法に係り、上記容量絶縁膜成膜工程

は、上記下部電極上に酸素欠損のある第1絶縁膜を成膜する第1成膜工程と、上記第1絶縁膜上に酸素欠損の少ない第2絶縁膜を成膜する第2成膜工程とからなることを特徴としている。

【0019】請求項3記載の発明は、請求項2記載の半導体装置の製造方法に係り、上記第1成膜工程と上記第2成膜工程とを交互にわたって繰り返すことを特徴としている。

【0020】請求項4記載の発明は、請求項2又は3記載の半導体装置の製造方法に係り、上記半導体基板熱処理工程において、上記第1絶縁膜の少なくとも一部分を酸素欠損の少ない絶縁膜に変質させて、該絶縁膜を上記下部電極に対する酸化抑制膜として機能させることを特徴としている。

【0021】また、請求項5記載の発明は、半導体基板の一つの拡散領域に接続されるように形成されるキャパシタを備えた半導体装置の製造方法に係り、第1導電型半導体基板に選択的に第2導電型拡散領域を形成する拡散領域形成工程と、上記拡散領域に接続されるように上記キャパシタを構成する下部電極を形成する下部電極形成工程と、上記下部電極上に上記キャパシタを構成する酸素欠損のある絶縁膜からなる容量絶縁膜を成膜する容量絶縁膜成膜工程と、上記半導体基板を酸化性雰囲気中で熱処理する半導体基板熱処理工程と、上記容量絶縁膜上に上記キャパシタを構成する上部電極を形成する上部電極形成工程とを含むことを特徴としている。

【0022】請求項6記載の発明は、請求項5記載の半導体装置の製造方法に係り、上記半導体基板熱処理工程において、上記絶縁膜の一部分を酸素欠損の少ない絶縁膜に変質させて、該絶縁膜を上記下部電極に対する酸化抑制膜として機能させることを特徴としている。

【0023】請求項7記載の発明は、請求項1乃至6のいずれか1に記載の半導体装置の製造方法に係り、上記容量絶縁膜として、金属酸化膜を用いることを特徴としている。

【0024】請求項8記載の発明は、請求項7記載の半導体装置の製造方法に係り、上記金属酸化膜として、酸化タンタルを用いることを特徴としている。

【0025】請求項9記載の発明は、請求項1乃至8のいずれか1に記載の半導体装置の製造方法に係り、上記下部電極及び上部電極として、窒化チタン、多結晶シリコン、タングステン又は窒化タングステンをを用いることを特徴としている。

【0026】請求項10記載の発明は、半導体基板上にキャパシタを製造するキャパシタの製造方法に係り、半導体基板上に上記キャパシタを構成する下部電極を形成する下部電極形成工程と、上記下部電極上に上記キャパシタを構成する容量絶縁膜を複数の段階で順次に成膜する容量絶縁膜成膜工程と、上記半導体基板を酸化性雰囲気中で熱処理する半導体基板熱処理工程と、上記容量絶

縁膜上に上記キャパシタを構成する上部電極を形成する上部電極形成工程とを含むことを特徴としている。

【0027】請求項11記載の発明は、請求項10記載のキャパシタの製造方法に係り、上記容量絶縁膜成膜工程は、上記下部電極上に酸素欠損のある第1絶縁膜を成膜する第1成膜工程と、上記第1絶縁膜上に酸素欠損の少ない第2絶縁膜を成膜する第2成膜工程とからなることを特徴としている。

【0028】また、請求項12記載の発明は、請求項11記載のキャパシタの製造方法に係り、上記第1成膜工程と上記第2成膜工程とを交互にわたって繰り返すことを特徴としている。

【0029】請求項13記載の発明は、請求項11又は12記載のキャパシタの製造方法に係り、上記半導体基板熱処理工程において、上記第1絶縁膜の少なくとも一部分を酸素欠損の少ない絶縁膜に変質させて、該絶縁膜を上記下部電極に対する酸化抑制膜として機能させることを特徴としている。

【0030】また、請求項14記載の発明は、半導体基板上にキャパシタを製造するキャパシタの製造方法に係り、半導体基板上に上記キャパシタを構成する下部電極を形成する下部電極形成工程と、上記下部電極上に上記キャパシタを構成する酸素欠損のある絶縁膜からなる容量絶縁膜を成膜する容量絶縁膜成膜工程と、上記半導体基板を酸化性雰囲気中で熱処理する半導体基板熱処理工程と、上記容量絶縁膜上に上記キャパシタを構成する上部電極を形成する上部電極形成工程とを含むことを特徴としている。

【0031】請求項15記載の発明は、請求項14記載のキャパシタの製造方法に係り、上記半導体基板熱処理工程において、上記絶縁膜の一部分を酸素欠損の少ない絶縁膜に変質させて、該絶縁膜を上記下部電極に対する酸化抑制膜として機能させることを特徴としている。

【0032】請求項16記載の発明は、請求項10乃至15のいずれか1に記載のキャパシタの製造方法に係り、上記容量絶縁膜として、金属酸化膜を用いることを特徴としている。

【0033】請求項17記載の発明は、請求項16記載のキャパシタの製造方法に係り、上記金属酸化膜として、酸化タンタル膜を用いることを特徴としている。

【0034】請求項18記載の発明は、請求項10乃至17のいずれか1に記載のキャパシタの製造方法に係り、上記下部電極及び上部電極として、窒化チタン、多結晶シリコン、タングステン又は窒化タングステンをを用いることを特徴としている。

【0035】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的にを行う。

◇第1実施例

図1(a)～(c)及び図2(d)～(f)は、この発明の第1実施例である半導体装置の製造方法を工程順に示す工程図である。以下、図1～図2を参照して、同半導体装置の製造方法について工程順に説明する。まず、図1(a)に示すように、例えばP型シリコン基板1に、周知のLOCOS法によりシリコン酸化膜からなる素子分離用絶縁膜2を形成した後、この素子分離用絶縁膜2により囲まれた活性領域にシリコン酸化膜、多結晶シリコン膜を順次に形成し、これらシリコン酸化膜及び多結晶シリコン膜を所望の形状にパターニングしてゲート酸化膜3及びゲート電極(ワードライン)4を形成する。次に、ゲート酸化膜3及びゲート電極4をマスクとするセルフアラインにより、イオン注入法などの周知の不純物導入方法によりN型不純物をシリコン基板1に導入して、ソース領域又はドレイン領域を構成するN型拡散領域5を選択的に形成した後、全面にシリコン酸化膜などからなる層間絶縁膜6を形成する。

【0036】次に、図1(b)に示すように、フォトリソグラフィ法によりN型拡散領域5の表面の層間絶縁膜6にコンタクトホール7を形成した後、スパッタ法により、全面に下部電極膜となる膜厚が15～25nmの窒化チタン膜8を成膜する。

【0037】次に、図1(c)に示すように、CVD法により、ソースガスとしてタンタルペンタエトキシガスをを用いて、略430℃の成膜温度及び略400mTorrの成膜圧力で、膜厚が2～5nmの酸素欠損のある第1酸化タンタル( $Ta_2O_x$ ,  $x \leq 4$ )膜9を窒化チタン膜8上に成膜した後、CVD法により、ソースガスとしてタンタルペンタエトキシガス及び酸素ガスをを用いて、略430℃の成膜温度及び略400mTorrの成膜圧力で、膜厚が2～5nmの酸素欠損の少ない第2酸化タンタル( $Ta_2O_5$ )膜10を第1酸化タンタル膜9上に成膜する。

【0038】図3は、上述の第1酸化タンタル膜9及び第2酸化タンタル膜10を成膜するための成膜シーケンスを示す図である。CVD装置の反応炉内にシリコン基板1を収容した後、時刻 $t_1$ においてソースガスであるタンタルペンタエトキシガスのみを反応炉内に供給して、第1酸化タンタル膜9の成膜を開始する。そして、時刻 $t_2$ までの所定の時間 $T_1$ 成膜処理したら、時刻 $t_2$ においてソースガスとしてタンタルペンタエトキシガスに酸素ガスを加えるように供給して、第2酸化タンタル膜10の成膜を開始する。そして、時刻 $t_0$ までの所定の時間 $T_2$ 成膜処理したら、時刻 $t_0$ においてタンタルペンタエトキシガス及び酸素ガスの供給を停止する。

【0039】上述のような酸素欠損のある第1酸化タンタル膜9及び酸素欠損の少ない第2酸化タンタル膜10の成膜方法は、いずれもソースガスとしてタンタルペンタエトキシガスを共通に用いて、先の段階として酸素ガスを供給しないでタンタルペンタエトキシガスのみを供

給して第1酸化タンタル膜9を成膜した後、後の段階としてタンタルペンタエトキシガスに酸素ガスを加えて供給して第2酸化タンタル膜10を成膜するので、成膜工程の途中でバルブの切替操作を行うだけで簡単に成膜することができる。

【0040】次に、シリコン基板1を、UV- $O_3$ の雰囲気中で、略500℃で、略10分間熱処理(アニール処理)する。この熱処理時に、図2(d)に示すように、窒化チタン膜8の表面が酸化して酸化チタン膜11が形成されると同時に、酸素欠損のある第1酸化タンタル膜9は酸素と反応して酸素欠損の少ない酸化タンタル膜9Aに変質される。この場合、酸素欠損のある第1酸化タンタル膜9は全膜厚が酸素欠損の少ない酸化タンタル膜9Aに変質される必要はなく、少なくとも一部分が変質されていても良い。そして、上述の酸化タンタル膜9Aは、窒化チタン膜8に対する酸化抑制膜として機能するので、これ以後酸素は酸化抑制膜に阻止されて窒化チタン膜8に反応しない。したがって、窒化チタン膜8の酸化は抑制されるのでその表面での低誘電率膜の形成は抑制される。上述の酸化チタン膜11は不要な膜であるが、ある程度の膜厚は避けられず、窒化チタン膜8の全膜厚の15～25%が形成される。しかしながら、この値は従来例に比較するときわめて小さい。

【0041】上述したように、この例で酸化タンタル膜9Aからなる酸化抑制膜を形成するには、予め簡単な成膜方法で酸素欠損のある第1酸化タンタル膜9及び酸素欠損の少ない第2酸化タンタル膜10を成膜した後、通常の酸化性雰囲気中で熱処理を行うだけでよいので、薄膜成膜工程を複雑にすることなく、簡単に酸化抑制膜を形成することができる。

【0042】次に、図2(e)に示すように、スパッタ法により、全面に上部電極膜となる膜厚が15～25nmの窒化チタン膜12を成膜する。次に、図2(f)に示すように、フォトリソグラフィ法により、窒化チタン膜8、酸化タンタル膜9A、酸化タンタル膜10及び窒化チタン膜12をパターニングすることにより、下部電極8Aと上部電極12Aとの間に容量絶縁膜として酸化タンタル膜10、9Aが介在されて構成されたキャパシタ13を完成させる。

【0043】図8において、(B)はこの例の構成により得られた下部電極8Aのシート抵抗 $\rho_s$ を示している。下部電極8Aは酸化が抑制されて低誘電率膜の形成が抑制されたことにより、シート抵抗 $\rho_s$ の値は、従来例(A)よりも低下している。したがって、下部電極として望ましくなる。また、図9において、(B)はこの例の構成により製造されたキャパシタのシリコン酸化膜換算膜厚 $t_{eq}$ を示している。シート抵抗 $\rho_s$ と同様に、その値は、従来例(A)よりも小さくなって、少ない膜厚の容量絶縁膜で所定のキャパシタンスが得られることを示している。

【0044】このように、この例の構成によれば、窒化チタン膜8からなる下部電極膜上に酸素欠損のある第1酸化タンタル膜9及び酸素欠損の少ない第2酸化タンタル膜10を順次に成膜した後、酸化性雰囲気中で熱処理して第1酸化タンタル膜9を酸素欠損の少ない酸化タンタル膜9Aに変質させて、この酸化タンタル膜9Aを下部電極膜に対する酸化抑制膜として機能させるようにしたので、酸化タンタル膜9Aの形成後は酸素が窒化チタン膜8に反応するのを阻止することができる。したがって、薄膜成膜工程を簡単にし、下部電極が酸化されて低誘電率膜が形成されるのを抑制することができる。

#### 【0045】◇第2実施例

図4(a)～(c)は、この発明の第2実施例である半導体装置の製造方法を工程順に示す工程図である。この例の半導体装置の製造方法の構成が、上述した第1実施例の構成と大きく異なるところは、酸素欠損のある酸化タンタル膜を二つの段階にわたって成膜するようにした点である。以下、図4を参照して、同半導体装置の製造方法について工程順に説明する。まず、第1実施例における図1(b)の工程と略同様な工程で得られたシリコン基板21を用いて、図4(a)に示すように、CVD法により、ソースガスとしてタンタルペンタエトキシガスをを用いて、略430℃の成膜温度及び略400mTorrの成膜圧力で、膜厚が1～3nmの酸素欠損のある第1酸化タンタル( $Ta_2O_x$ ,  $x \leq 4$ )膜19を窒化チタン膜8上に成膜した後、CVD法により、ソースガスとしてタンタルペンタエトキシガス及び酸素ガスをを用いて、略430℃の成膜温度及び略400mTorrの成膜圧力で、膜厚が1～3nmの酸素欠損の少ない第2酸化タンタル( $Ta_2O_5$ )膜20を第1酸化タンタル膜19上に成膜する。

【0046】次に、図4(b)に示すように、CVD法により、ソースガスとしてタンタルペンタエトキシガスをを用いて、略430℃の成膜温度及び略400mTorrの成膜圧力で、膜厚が1～3nmの酸素欠損のある第3酸化タンタル( $Ta_2O_x$ ,  $x \leq 4$ )膜21を第2酸化タンタル膜20上に成膜する。

【0047】図5は、上述の第1酸化タンタル膜19、第2酸化タンタル膜20及び第3酸化タンタル膜21を成膜するための成膜シーケンスを示す図である。CVD装置の反応炉内にシリコン基板21を収容した後、時刻t1においてソースガスであるタンタルペンタエトキシガスのみを反応炉内に供給して、第1酸化タンタル膜19の成膜を開始する。そして、時刻t2までの所定の時間T1成膜処理したら、時刻t2においてソースガスとしてタンタルペンタエトキシガスに酸素ガスを加えるように供給して、第2酸化タンタル膜20の成膜を開始する。そして、時刻t3までの所定の時間T2成膜処理したら、時刻t3においてソースガスとして再びタンタルペンタエトキシガスのみを供給して、第3酸化タンタル

膜21の成膜を開始する。そして、時刻t0までの所定の時間T3成膜処理したら、時刻t0においてタンタルペンタエトキシガスの供給を停止する。

【0048】次に、シリコン基板21を、UV-O<sub>3</sub>の雰囲気中で、略500℃で、略10分間熱処理する。この熱処理時に、図4(c)に示すように、窒化チタン膜8の表面が酸化して酸化チタン膜11が形成されると同時に、酸素欠損のある第1酸化タンタル膜19及び第3酸化タンタル膜21は酸素と反応して、それぞれ酸素欠損の少ない酸化タンタル膜19A、21Aに変質される。この場合、第1実施例の場合と同様に、酸素欠損のある第1酸化タンタル膜19及び第3酸化タンタル膜21は、それぞれ全膜厚が酸素欠損の少ない酸化タンタル膜19A及び21Aに変質される必要はなく、少なくとも一部分が変質されていても良い。

【0049】そして、上述の酸化タンタル膜19A及び酸化タンタル膜21Aは、窒化チタン膜8に対する酸化抑制膜として機能するので、これ以後酸素は酸化抑制膜に阻止されて窒化チタン膜8に反応しない。したがって、窒化チタン膜8の酸化は抑制されるのでその表面での低誘電率膜の形成は抑制される。そして、この例の構成によれば、第1実施例に比較して、酸化抑制膜として酸化タンタル膜19A及び酸化タンタル膜21Aの両膜を用いているので、酸化抑制膜としての機能を高めることができる。次に、第1実施例における図2(e)以下の工程と略同様な工程を経ることにより、キャパシタを完成させる。これ以外は、上述した第1実施例と略同じである。それゆえ、図4において、図1～図2の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

【0050】図8において、(C)はこの例の構成により得られた下部電極8Aのシート抵抗 $\rho_s$ を示している。下部電極8Aは酸化がより抑制されて低誘電率膜の形成がより抑制されたことにより、シート抵抗 $\rho_s$ の値は、第1実施例による結果(B)よりも低下している。したがって、下部電極として望ましくなる。また、図9において、(C)はこの例の構成により製造されたキャパシタのシリコン酸化膜換算膜厚 $t_{eq}$ を示している。シート抵抗 $\rho_s$ と同様に、その値は、第1実施例による結果(B)よりも小さくなって、少ない膜厚の容量絶縁膜で所定のキャパシタンスが得られることを示している。

【0051】このように、この例の構成によっても、第1実施例において述べたのと略同様な効果を得ることができる。加えて、この例の構成によれば、酸化抑制膜の層数を増やしたので、酸化抑制膜としての機能を高めることができる。

#### 【0052】◇第3実施例

図6(a)～(c)は、この発明の第3実施例である半導体装置の製造方法を工程順に示す工程図である。この

例の半導体装置の製造方法の構成が、上述した第2実施例の構成と大きく異なるところは、酸素欠損のある酸化タンタル膜を三つの段階にわたって成膜するようにした点である。以下、図6を参照して、同半導体装置の製造方法について工程順に説明する。まず、第1実施例における図1(b)の工程と略同様な工程で得られたシリコン基板31を用いて、図6(a)に示すように、CVD法により、ソースガスとしてタンタルペンタエトキシガスをを用いて、略430℃の成膜温度及び略400mTorrの成膜圧力で、膜厚が1~3nmの酸素欠損のある第1酸化タンタル( $Ta_2O_x$ ,  $x \leq 4$ )膜25を窒化チタン膜8上に成膜した後、CVD法により、ソースガスとしてタンタルペンタエトキシガス及び酸素ガスをを用いて、略430℃の成膜温度及び略400mTorrの成膜圧力で、膜厚が1~3nmの酸素欠損の少ない第2酸化タンタル( $Ta_2O_5$ )膜26を第1酸化タンタル膜25上に成膜し、次に、CVD法により、ソースガスとしてタンタルペンタエトキシガスをを用いて、略430℃の成膜温度及び略400mTorrの成膜圧力で、膜厚が1~3nmの酸素欠損のある第3酸化タンタル( $Ta_2O_x$ ,  $x \leq 4$ )膜27を第2酸化タンタル膜26上に成膜する。

【0053】次に、図6(b)に示すように、CVD法により、ソースガスとしてタンタルペンタエトキシガス及び酸素ガスをを用いて、略430℃の成膜温度及び略400mTorrの成膜圧力で、膜厚が1~3nmの酸素欠損の少ない第4酸化タンタル( $Ta_2O_5$ )膜28を第3酸化タンタル膜27上に成膜し、次に、CVD法により、ソースガスとしてタンタルペンタエトキシガスをを用いて、略430℃の成膜温度及び略400mTorrの成膜圧力で、膜厚が1~3nmの酸素欠損のある第5酸化タンタル( $Ta_2O_x$ ,  $x \leq 4$ )膜29を第4酸化タンタル膜28上に成膜し、次に、CVD法により、ソースガスとしてタンタルペンタエトキシガス及び酸素ガスをを用いて、略430℃の成膜温度及び略400mTorrの成膜圧力で、膜厚が1~3nmの酸素欠損の少ない第6酸化タンタル( $Ta_2O_5$ )膜30を第5酸化タンタル膜29上に成膜する。

【0054】図7は、上述の第1酸化タンタル膜25、第2酸化タンタル膜26、第3酸化タンタル膜27、第4酸化タンタル膜28、第5酸化タンタル膜29及び第6酸化タンタル膜30の成膜シーケンスを示す図である。CVD装置の反応炉内にシリコン基板31を収容した後、時刻t1においてソースガスであるタンタルペンタエトキシガスのみを反応炉内に供給して、第1酸化タンタル膜25の成膜を開始する。そして、時刻t2までの所定の時間T1成膜処理したら、時刻t2においてソースガスとしてタンタルペンタエトキシガスに酸素ガスを加えるように供給して、第2酸化タンタル膜26の成膜を開始する。そして、時刻t3までの所定の時間T2

成膜処理したら、時刻t3においてソースガスとして再びタンタルペンタエトキシガスのみを供給して、第3酸化タンタル膜27の成膜を開始する。そして、時刻t4までの所定の時間T3成膜処理したら、時刻t4においてソースガスとしてタンタルペンタエトキシガスに酸素ガスを加えるように供給して、第4酸化タンタル膜28の成膜を開始する。そして、時刻t5までの所定の時間T4成膜処理したら、時刻t5においてソースガスとして再びタンタルペンタエトキシガスのみを供給して、第5酸化タンタル膜29の成膜を開始する。そして、時刻t6までの所定の時間T5成膜処理したら、時刻t6においてソースガスとしてタンタルペンタエトキシガス及び酸素ガスを供給して、第6酸化タンタル膜30の成膜を開始する。そして、時刻t0までの所定の時間T6成膜処理したら、時刻t0においてタンタルペンタエトキシガス及び酸素ガスの供給を停止する。

【0055】次に、シリコン基板31を、UV-O<sub>3</sub>の雰囲気中で、略500℃で、略10分間熱処理する。この熱処理時に、図6(c)に示すように、窒化チタン膜28の表面が酸化して酸化チタン膜11が形成されると同時に、酸素欠損のある第1酸化タンタル膜25は酸素欠損の少ない酸化タンタル( $Ta_2O_5$ )膜25Aに、酸素欠損のある第3酸化タンタル膜27は酸素欠損の少ない酸化タンタル( $Ta_2O_5$ )膜27Aに、酸素欠損のある第5酸化タンタル膜29は酸素欠損の少ない酸化タンタル( $Ta_2O_5$ )膜29Aに変質される。そして、上述の酸化タンタル膜25A、酸化タンタル膜27A及び酸化タンタル膜29Aは、酸化抑制膜として機能するので、これ以後酸素は酸化抑制膜に阻止されて窒化チタン膜8には反応しない。したがって、窒化チタン膜8の表面での低誘電率膜の形成は抑制される。この例の構成によれば、第2実施例と略同様に酸化抑制膜としての機能を高めることができる。次に、第1実施例における図2

(e)以下の工程と略同様な工程を経ることにより、キャパシタを完成させる。

【0056】このように、この例の構成によっても、第2実施例において述べたのと略同様な効果を得ることができる。加えて、この例の構成によれば、酸化抑制膜の層数をさらに増やしたので、酸化抑制膜としての機能をより高めることができる。

#### 【0057】◇第4実施例

この例の半導体装置の製造方法は、第1実施例における下部電極膜として窒化チタン膜8に代えて多結晶シリコン膜を用いてキャパシタを構成する。そして、この例においては、シリコン基板1の熱処理を、酸素プラズマ、Dry-O<sub>2</sub>などの酸化性雰囲気中で、略800℃で、略10分間行う。これ以外は、上述した第1実施例と略同じ条件で、各工程の処理を施して、キャパシタを完成させる。それゆえ、他の処理条件についての説明は省略する。図10において、(B)は、この例の構成により製

造されたキャパシタのシリコン酸化膜換算膜厚  $t_{eq}$  を示している。その値は、従来例 (A) よりも小さくなって、少ない膜厚の容量絶縁膜で所定のキャパシタンスが得られることを示している。

【0058】このように、この例の構成によっても、第1実施例において述べたのと略同様な効果を得ることができる。

#### 【0059】◇第5実施例

この例の半導体装置の製造方法は、第2実施例における下部電極膜として窒化チタン膜8に代えて多結晶シリコン膜を用いてキャパシタを構成する。そして、この例においては、シリコン基板1の熱処理を、酸素プラズマ、Dry-O<sub>2</sub>などの酸化性雰囲気中で、略800℃で、略10分間行う。これ以外は、上述した第2実施例と略同じ条件で、各処理を施して、キャパシタを完成させる。それゆえ、他の処理条件についての説明は省略する。図10において、(C)は、この例の構成により製造されたキャパシタのシリコン酸化膜換算膜厚  $t_{eq}$  を示している。その値は、第4実施例 (B) よりも小さくなって、少ない膜厚の容量絶縁膜で所定のキャパシタンスが得られることを示している。

【0060】このように、この例の構成によっても、第2実施例において述べたのと略同様な効果を得ることができる。

#### 【0061】◇第6実施例

この例の半導体装置の製造方法は、第3実施例における下部電極膜として窒化チタン膜8に代えて多結晶シリコン膜を用いてキャパシタを構成する。そして、この例においては、シリコン基板1の熱処理を、酸素プラズマ、Dry-O<sub>2</sub>などの酸化性雰囲気中で、略800℃で、略10分間行う。これ以外は、上述した第3実施例と略同じ条件で、各処理を施して、キャパシタを完成させる。それゆえ、他の処理条件についての説明は省略する。

【0062】このように、この例の構成によっても、第3実施例において述べたのと略同様な効果を得ることができる。

#### 【0063】◇第7実施例

図11(a)、(b)は、この発明の第7実施例である半導体装置の製造方法を工程順に示す工程図である。この例の半導体装置の製造方法の構成が、上述した第1実施例の構成と大きく異なるところは、酸素欠損のある酸化タンタル膜を一段階で成膜するようにした点である。以下、図11を参照して、同半導体装置の製造方法について工程順に説明する。まず、第1実施例における図1(b)の工程と略同様な工程で得られたシリコン基板41を用いて、図11(a)に示すように、CVD法により、ソースガスとしてタンタルペンタエトキシガスを用いて、略430℃の成膜温度及び略400mTorrの成膜圧力で、膜厚が略10nmの酸素欠損のある酸化タンタル(Ta<sub>2</sub>O<sub>x</sub>, X≤4)膜31を窒化チタン膜8上

に成膜する。

【0064】次に、シリコン基板41を、UV-O<sub>3</sub>の雰囲気中で、略500℃で、略間熱処理する。この熱処理時に、図11(b)に示すように、窒化チタン膜8の表面が酸化して酸化チタン膜11が形成されると同時に、酸素欠損のある酸化タンタル膜31は酸素と反応してその表面から略8nmが酸化されて、酸素欠損の少ない酸化タンタル膜31Aに変質される。この場合、酸素欠損のある酸化タンタル膜31は全膜厚が酸素欠損の少ない酸化タンタル膜31Aに変質されていても良いが、このように全膜厚にわたって変質させることは熱処理の制御が容易でなく、下部電極である窒化チタン膜8の表面に形成される酸化チタン膜11の膜厚を厚くさせるので、低誘電率膜が形成されるようになるため好ましくない。

【0065】そして、上述の酸化タンタル膜31Aは、窒化チタン膜8に対する酸化抑制膜として機能するので、これ以後酸素は酸化抑制膜に阻止されて窒化チタン膜8に反応しない。したがって、窒化チタン膜8の酸化は抑制されるのでその表面での低誘電率膜の形成は抑制される。次に、第1実施例における図2(e)以下の工程と略同様な工程を経ることにより、キャパシタを完成させる。これ以外は、上述した第1実施例と略同じである。それゆえ、図11において、図1～図2の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

【0066】図12は、この例の半導体装置の製造方法により得られたキャパシタの容量絶縁膜の、酸素欠損のある酸化タンタル膜が酸素欠損の少ない酸化タンタル膜に変化した膜厚(縦軸)とUV-O<sub>3</sub>熱処理温度(横軸)との関係を示す図で、酸素欠損の少ない酸化タンタル膜に変化する膜厚のUV-O<sub>3</sub>熱処理温度依存性を示している。同図から明らかなように、熱処理温度が高いほど上述の膜厚は厚くなって、酸化抑制膜として良質の酸化タンタル膜が得られることを示している。

【0067】図13は、この例の半導体装置の製造方法により得られたキャパシタの容量絶縁膜の、シリコン酸化膜換算膜厚  $t_{eq}$  と酸化進行膜厚との関係を示す図である。ここで、酸化進行膜厚が0nmとは、酸化タンタル膜が全膜厚にわたって酸素欠損のある膜になっている場合を示し、酸化進行膜厚が10nmとは、酸素欠損のある酸化タンタル膜が全膜厚にわたって酸素欠損の少ない膜に変質された場合を示している。また、酸化進行膜厚が15nmとは、下部電極である窒化チタン膜8の表面に略5nmの膜厚の酸化チタン膜11が形成されて、この5nmの膜厚が上述の10nmの酸化タンタル膜の膜厚に加えられた場合を示している。同図から明らかなように、膜厚が略10nmの酸素欠損のある酸化タンタル膜が全膜厚にわたって酸素欠損の少ない膜に変質された場合が、 $t_{eq}$  が最も小さくなって優れた容量絶縁膜

になることを示している。

【0068】また、図14は、この例の半導体装置の製造方法により得られたキャパシタの容量絶縁膜の、リーク電流と酸化進行膜厚との関係を示す図である。同図から明らかなように、酸素欠損のある酸化タンタル膜が厚くなるほどリーク電流は増加する傾向にあるが、酸素欠損の少ない酸化タンタル膜を必ずしも10nmの膜厚に形成しなくとも、略5nm以上の膜厚に形成すれば、実質的に差し支えない程度にリーク電流を低減することができる。

【0069】このように、この例の構成によっても、第1実施例において述べたのと略同様な効果を得ることができる。加えて、この例の構成によれば、酸素欠損のある酸化タンタル膜のみを一層成膜した後、酸化性雰囲気中で熱処理して酸素欠損の少ない酸化タンタル膜に変質させるので、薄膜成膜工程をより簡単にすることができる。

#### 【0070】◇第8実施例

この例の半導体装置の製造方法は、第7実施例におけるUV-O<sub>3</sub>の雰囲気中での熱処理に代えて電気炉（ファーネス）による乾燥雰囲気中で熱処理を行う。すなわち、第1実施例のように、窒化チタン膜8上に膜厚が略10nmの酸素欠損のある酸化タンタル（Ta<sub>2</sub>O<sub>x</sub>、X≤4）膜31を成膜した後、ファーネスの乾燥雰囲気中で500～800℃で熱処理を行う。これ以外は、上述した第7実施例と略同じ条件で、各処理を施して、キャパシタンスを完成させる。それゆえ、他の処理条件についての説明は省略する。

【0071】図15は、この例の半導体装置の製造方法により得られたキャパシタの容量絶縁膜の、酸素欠損のある酸化タンタル膜が酸素欠損の少ない酸化タンタル膜に変化した膜厚（縦軸）とファーネス熱処理温度（横軸）との関係を示す図で、酸素欠損の少ない酸化タンタル膜に変化する膜厚のファーネス熱処理温度依存性を表している。同図から明らかなように、第7実施例の図12の場合と同様に、熱処理温度が高いほど酸素欠損の少ない酸化タンタル膜の膜厚は厚くなって、酸化抑制膜として良質の酸化タンタル膜が得られることを示している。

【0072】このように、この例の構成によっても、第7実施例において述べたのと略同様な効果を得ることができる。

【0073】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあってもこの発明に含まれる。例えば、酸化抑制膜となる酸素欠損膜の成膜方法は、ソースガスに対して酸素ガスの供給を切り替える方法に限らずに、ソースガスと酸素ガスとの流量比を制御する方法によっても行うことができる。また、酸素欠損のある絶縁膜を熱処理

して変質させた酸素欠損の少ない絶縁膜と、最初から成膜された酸素欠損の少ない絶縁膜とは、その組成（Ta<sub>2</sub>O<sub>x</sub>）においてXが異なっても良い。

【0074】また、下部電極としては窒化チタン、多結晶シリコンに限らずに、タングステン又は窒化タングステンなどの他の導電材料を用いることができる。また、上部電極の導電材料としては、下部電極の導電材料にとらわれずに、上述のような導電材料の中から任意のものを用いることができる。また、容量絶縁膜としては酸化タンタルに限らずに、BST（BaSr）TiO<sub>3</sub>、PZT（Pb（ZrTi）O<sub>3</sub>）などの他の高誘電膜を用いることができる。

【0075】また、半導体基板上にキャパシタを製造する場合であれば、DRAMに限らずにキャパシタ単体を製造する場合にも適用することができる。また、各導電膜、絶縁膜などの膜厚、成膜条件方法などは一例を示したものであり、用途、目的などによって変更することができる。また、ゲート酸化膜は、酸化膜（Oxide Film）に限らず、窒化膜（Nitride Film）でも良く、あるいは、酸化膜と窒化膜との2重膜構成でも良い。つまり、MIS型トランジスタである限り、MOS型トランジスタに限らず、MNS（Metal Nitride Semiconductor）型トランジスタでも良く、あるいは、MNOS（Metal Nitride Oxide Semiconductor）型トランジスタでも良い。また、各半導体領域の導電型はP型とN型とを逆にすることができる。すなわち、Nチャネル型に限らずPチャネル型のMIS型トランジスタに対しても適用できる。

#### 【0076】

【発明の効果】以上説明したように、この発明の半導体装置の製造方法及びキャパシタの製造方法によれば、下部電極膜上に酸素欠損のある容量絶縁膜及び酸素欠損の少ない容量絶縁膜を順次に成膜した後、酸化性雰囲気中で熱処理して酸素欠損のある容量絶縁膜の少なくとも一部分を酸素欠損の少ない容量絶縁膜に変質させて、この酸素欠損の少ない容量絶縁膜を下部電極膜に対する酸化抑制膜として機能させるようにしたので、下部電極膜の形成後は酸素が下部電極膜に反応するのを阻止することができる。また、この発明の半導体装置の製造方法及びキャパシタの製造方法によれば、下部電極膜上に酸素欠損のある容量絶縁膜を一層成膜した後、酸化性雰囲気中で熱処理して酸素欠損のある容量絶縁膜の少なくとも一部分を酸素欠損の少ない容量絶縁膜に変質させて、この酸素欠損の少ない容量絶縁膜を下部電極膜に対する酸化抑制膜として機能させるようにしたので、下部電極膜の形成後は酸素が下部電極膜に反応するのを阻止することができる。したがって、薄膜成膜工程を簡単に、下部電極が酸化されて低誘電率膜が形成されるのを抑制することができる。

【図面の簡単な説明】

【図 1】この発明の第 1 実施例である半導体装置の製造方法を工程順に示す工程図である。

【図 2】同半導体装置の製造方法を工程順に示す工程図である。

【図 3】同半導体装置の製造方法における容量絶縁膜の成膜シーケンスを示す図である。

【図 4】この発明の第 2 実施例である半導体装置の製造方法を工程順に示す工程図である。

【図 5】同半導体装置の製造方法における容量絶縁膜の成膜シーケンスを示す図である。

【図 6】この発明の第 3 実施例である半導体装置の製造方法を工程順に示す工程図である。

【図 7】同半導体装置の製造方法における容量絶縁膜の成膜シーケンスを示す図である。

【図 8】同半導体装置の製造方法により得られたキャパシタの下部電極のシート抵抗を従来例と比較して示す図である。

【図 9】同半導体装置の製造方法により得られたキャパシタの容量絶縁膜のシリコン酸化膜換算膜厚を従来例と比較して示す図である。

【図 10】同半導体装置の製造方法により得られたキャパシタの容量絶縁膜のシリコン酸化膜換算膜厚を従来例と比較して示す図である。

【図 11】この発明の第 7 実施例である半導体装置の製造方法を工程順に示す工程図である。

【図 12】同半導体装置の製造方法により得られたキャパシタの容量絶縁膜の、酸素欠損のある酸化タンタル膜が酸素欠損の少ない酸化タンタル膜に変化した膜厚の熱処理温度依存性を示す図である。

【図 13】同半導体装置の製造方法により得られたキャパシタの容量絶縁膜のシリコン酸化膜換算膜厚と酸化進行膜厚との関係を示す図である。

【図 14】同半導体装置の製造方法により得られたキャパシタの容量絶縁膜のリーク電流と酸化進行膜厚との関係を示す図である。

【図 15】同半導体装置の製造方法により得られたキャパシタの容量絶縁膜の、酸素欠損のある酸化タンタル膜

が酸素欠損の少ない酸化タンタル膜に変化した膜厚の熱処理温度依存性を示す図である。

【図 16】従来の半導体装置の製造方法を工程順に示す工程図である。

【図 17】従来の半導体装置の製造方法を工程順に示す工程図である。

【図 18】従来の半導体装置の製造方法を工程順に示す工程図である。

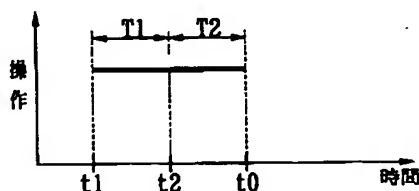
【図 19】従来の半導体装置の製造方法を工程順に示す工程図である。

【図 20】同半導体装置の製造方法における容量絶縁膜の成膜シーケンスを示す図である。

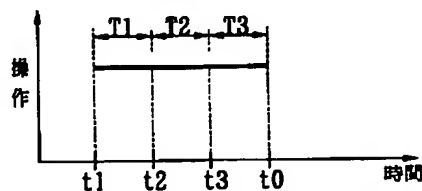
# 【符号の説明】

- 1、21、31、41 P型シリコン基板
- 2 素子分離用絶縁膜
- 3 ゲート酸化膜
- 4 ゲート電極（ワードライン）
- 5 N型拡散領域
- 6 層間絶縁膜
- 7 コンタクトホール
- 8 窒化チタン膜（下部電極膜）
- 8A 下部電極
- 9、19、25 第1酸化タンタル膜（酸素欠損あり）
- 9A、19A、21A、25A、27A、29A、31A 酸化タンタル膜（酸素欠損少ない）
- 10、20、26 第2酸化タンタル膜（酸素欠損少ない）
- 11 酸化チタン膜
- 12 窒化チタン膜（上部電極膜）
- 12A 上部電極
- 21、27 第3酸化タンタル膜（酸素欠損あり）
- 28 第4酸化タンタル膜（酸素欠損少ない）
- 29 第5酸化タンタル膜（酸素欠損あり）
- 30 第6酸化タンタル膜（酸素欠損少ない）
- 31 酸化タンタル膜（酸素欠損少ない）

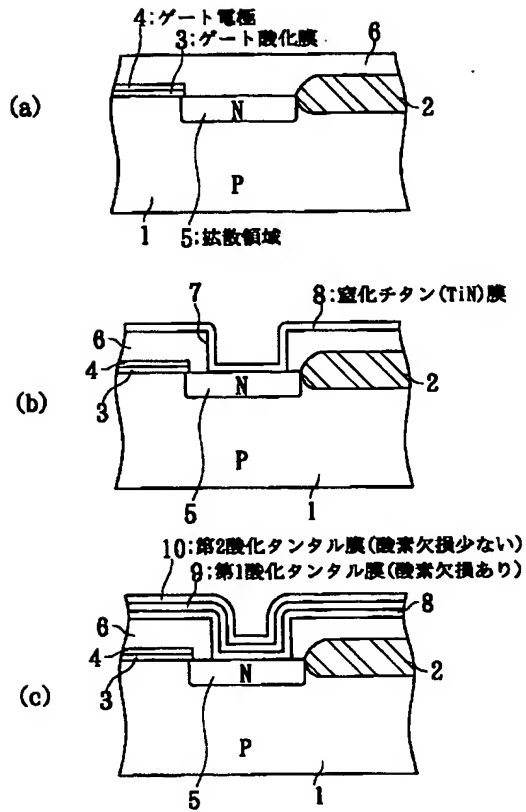
【図 3】



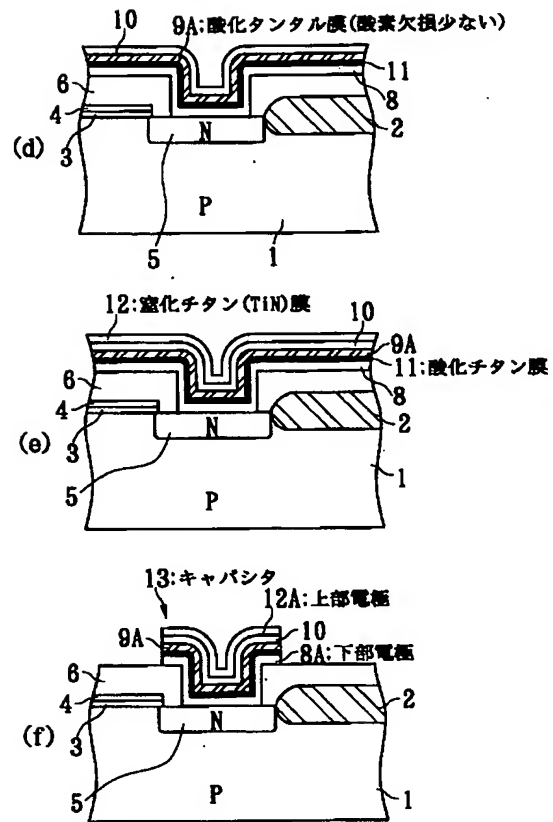
【図 5】



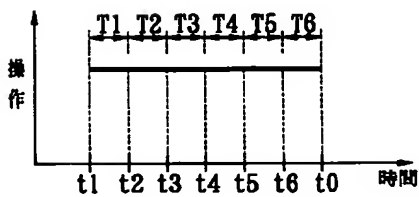
【図1】



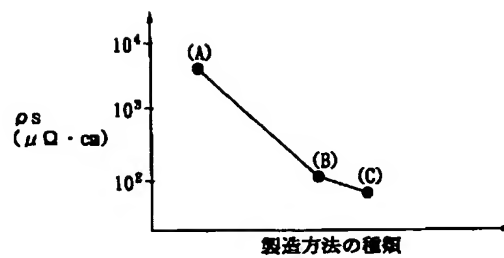
【図2】



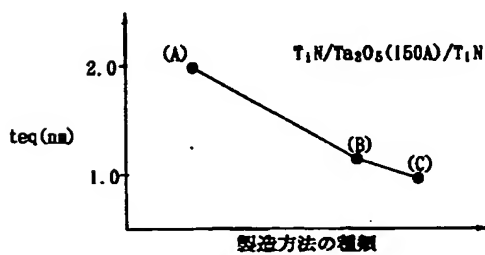
【図7】



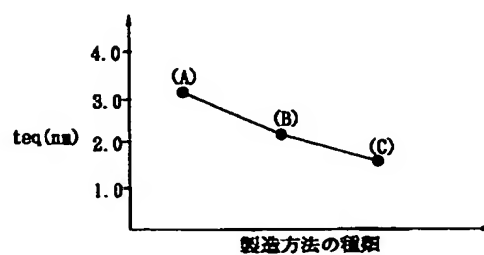
【図8】



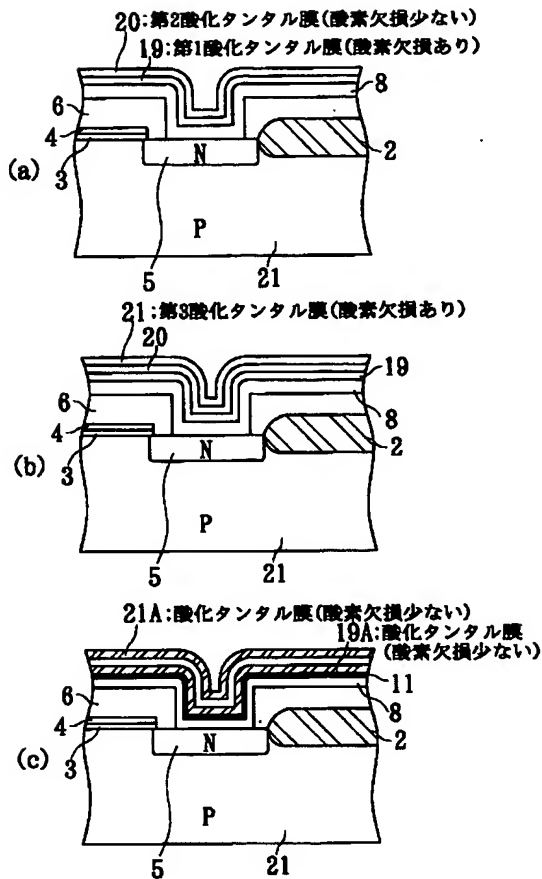
【図9】



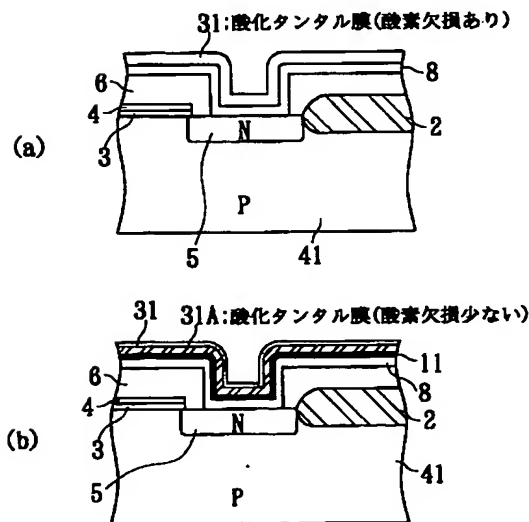
【図10】



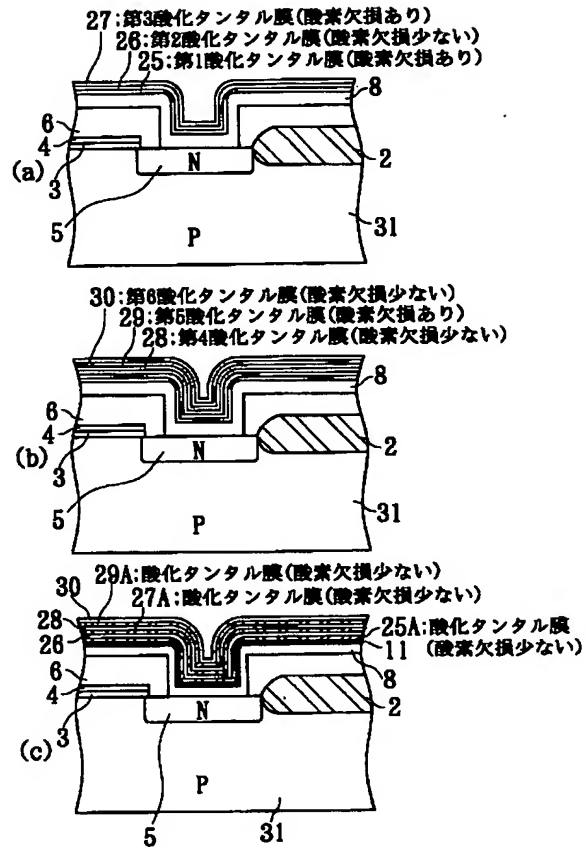
【図4】



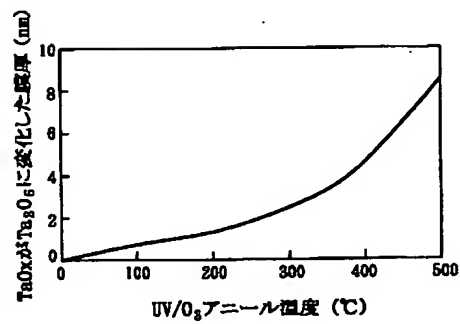
【図11】



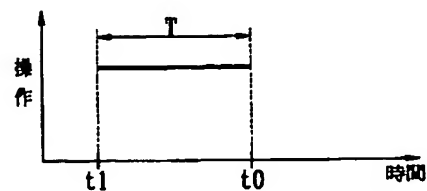
【図6】



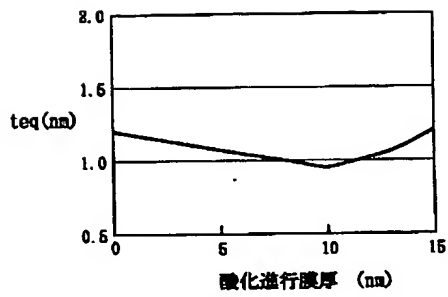
【図12】



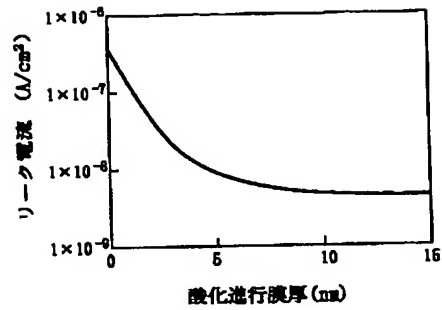
【図20】



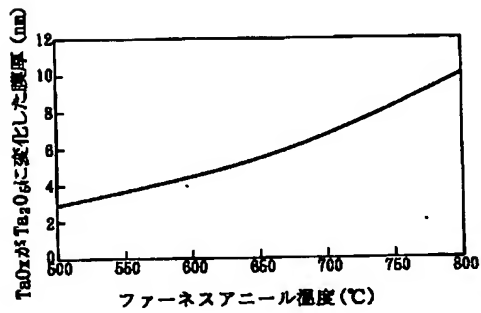
【図13】



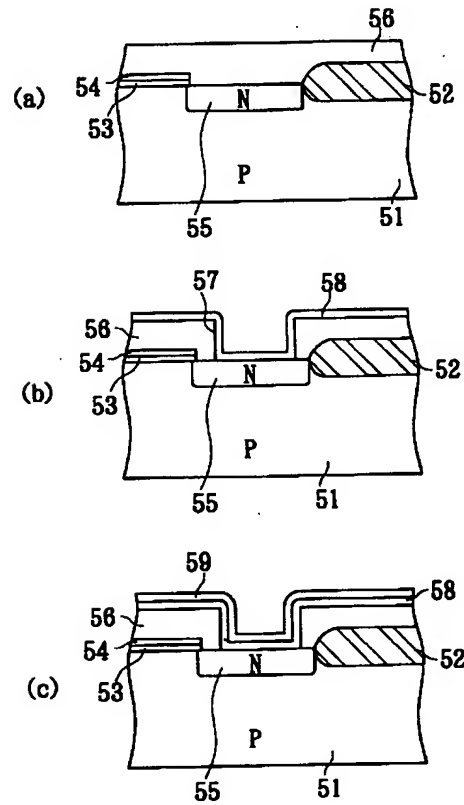
【図14】



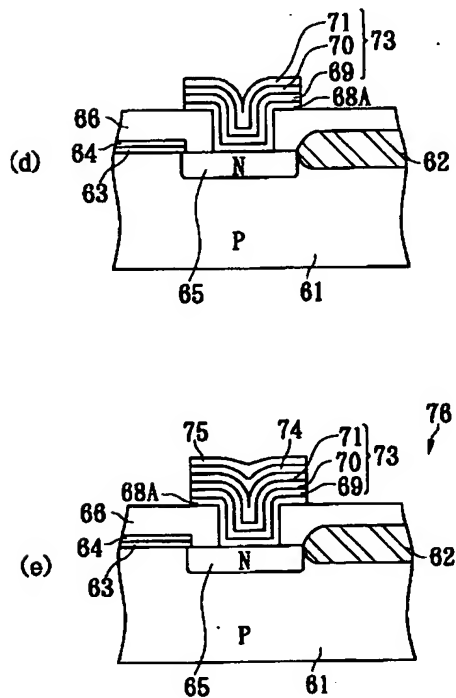
【図15】



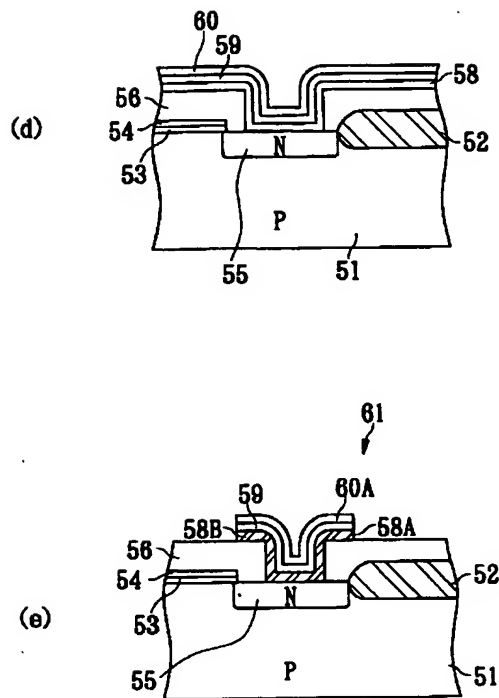
【図16】



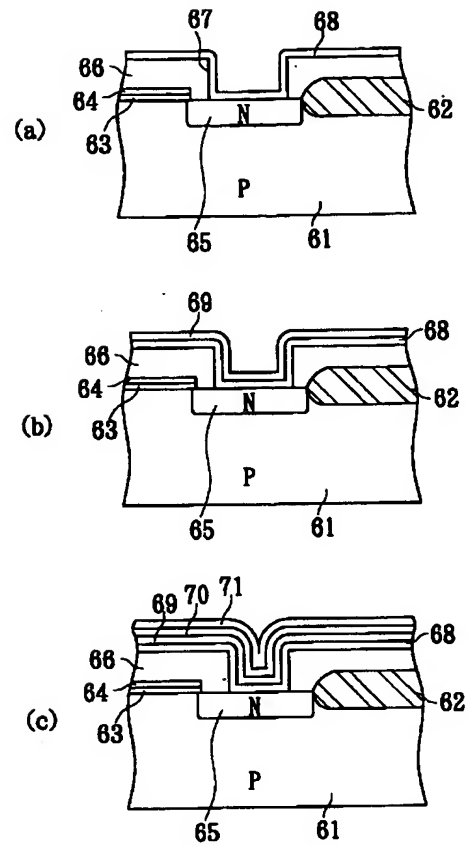
【図19】



【図17】



【図18】



フロントページの続き

Fターム(参考) 5F038 AC14 AC15 AV06 BH03 BH07  
 DF05 EZ13  
 5F083 AD26 JA06 JA14 JA15 JA39  
 JA40 NA02 PR21 PR33 PR36